

日 本 国 特 許 庁
JAPAN PATENT OFFICE

25. 8. 2004

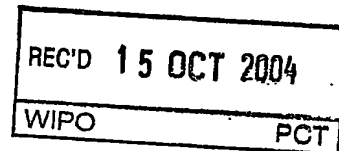
別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日
Date of Application: 2003年 8月 7日

出 願 番 号
Application Number: 特願2003-288703
[ST. 10/C]: [JP2003-288703]

出 願 人
Applicant(s): 松下電器産業株式会社

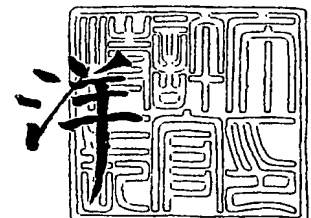


PRIORITY DOCUMENT
SUBMITTED OR TRANSMITTED IN
COMPLIANCE WITH
RULE 17.1(a) OR (b)

2004年 9月30日

特許庁長官
Commissioner,
Japan Patent Office

小 川



BEST AVAILABLE COPY

BEST AVAILABLE COPY

出証番号 出証特2004-3087448

【書類名】 特許願
【整理番号】 2022050276
【提出日】 平成15年 8月 7日
【あて先】 特許庁長官殿
【国際特許分類】 G06F 17/50
【発明者】
 【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内
 【氏名】 瓜生 一英
【発明者】
 【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内
 【氏名】 山田 徹
【発明者】
 【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電子部品株式会社内
 【氏名】 佐々木 幸紀
【特許出願人】
 【識別番号】 000005821
 【氏名又は名称】 松下電器産業株式会社
【代理人】
 【識別番号】 100097445
 【弁理士】
 【氏名又は名称】 岩橋 文雄
【選任した代理人】
 【識別番号】 100103355
 【弁理士】
 【氏名又は名称】 坂口 智康
【選任した代理人】
 【識別番号】 100109667
 【弁理士】
 【氏名又は名称】 内藤 浩樹
【手数料の表示】
 【予納台帳番号】 011305
 【納付金額】 21,000円
【提出物件の目録】
 【物件名】 特許請求の範囲 1
 【物件名】 明細書 1
 【物件名】 図面 1
 【物件名】 要約書 1
 【包括委任状番号】 9809938

【書類名】 特許請求の範囲**【請求項 1】**

導体パターンを複数層有する矩形上の回路基板において、

前記導体パターンに複数のスパイラルインダクタンスパターンを含み、

前記回路基板の少なくとも 3 つのコーナー部に、前記複数のスパイラルインダクタンスパターンの内の 3 つが配置された回路基板。

【請求項 2】

前記回路基板の前記 3 つのコーナー部に配置された前記スパイラルインダクタンスパターンが、

前記コーナー部の頂点から前記スパイラルインダクタンスパターンまでの最短距離 L_1 と、前記スパイラルインダクタンスパターンの外接円の直径 L_2 の関係が、 $L_1 \leq L_2$ となるように配置されていることを特徴とする請求項 1 記載の回路基板。

【請求項 3】

請求項 1 または 2 のいずれかに記載の回路基板を用いた積層デバイス。

【請求項 4】

複数のスパイラルインダクタンスパターンを含む導体パターンを複数層有する回路基板の設計において、

前記回路基板を分割線により複数の分割エリアに分割する工程と、

前記複数の分割エリア毎にシミュレーションによって回路パターンを設計する工程と、を有し、

前記分割線は、前記回路基板内に複数配置される前記スパイラルインダクタンスパターンの内の 2 つ以上を分断しないことを特徴とする回路基板の設計方法。

【請求項 5】

複数のスパイラルインダクタンスパターンを含む導体パターンを複数層有する回路基板の設計において、

前記回路基板の少なくとも 3 つのコーナー部に、前記複数のスパイラルインダクタンスパターンの内の 3 つが配置されていることを特徴とする請求項 4 記載の回路基板の設計方法。

【書類名】明細書

【発明の名称】回路基板とその設計方法

【技術分野】

【0001】

本発明は、各種電子機器に用いられる回路基板とその設計方法に関するものである。

【背景技術】

【0002】

従来から、回路基板を電磁界シミュレーションによって設計する試みが行われている。これは、従来の電子機器はますます高精度化され、また小型・高集積化されるために回路基板自体が導体パターンを複数層有する。そのため、導体パターン間の電磁氣的干渉によって、技術者の経験だけでは当初の設計通りの特性が得られなくなるためである。また、例えば特許文献1には素子間の電磁氣的干渉を排除するために、それぞれの素子を水平方向のみに配置するという回路基板の設計手法について記載されている。

【特許文献1】特開2003-16133号公報（第5～8頁、図1）

【発明の開示】

【発明が解決しようとする課題】

【0003】

しかしながら、従来の回路基板は非常に高価になりやすいものである。すなわち、上述したように回路基板は導体パターンを複数層有する小型かつ高集積化された物であるために、各種導体パターンが電磁氣的な干渉をする。それを回避するために電磁界シミュレーションにより導体パターンを設計しようとする、この回路基板中に含まれる導体パターンが多数存在するため、電磁界シミュレーションで組み合わせを検証して最適設計しようとすると、最低でも数日間の計算が必要となる。このように一つの回路基板を電磁界シミュレーションで設計する場合に数日かかってしまう事は、この回路基板を高価にしてしまう原因であった。また、素子間の電磁氣的干渉を排除するために、それぞれの素子を水平方向のみに配置するとその素子間の電磁氣的干渉を排除することは可能となるが、その素子間を接続する線路が発生し、その線路間或いは素子と線路間など様々な電磁氣的干渉が発生するため、前述同様に所望の特性が得られず、設計期間が長時間かかることとなり、回路基板を高価にしてしまう原因であった。

【課題を解決するための手段】

【0004】

本発明による回路基板は、導体パターンを複数層有する矩形上の回路基板において、前記導体パターンに複数のスパイラルインダクタンスパターンを含み、前記回路基板の少なくとも3つのコーナー部に、前記複数のスパイラルインダクタンスパターンの内の3つが配置されている。

【0005】

本発明の好ましい実施態様においては、前記回路基板の前記3つのコーナー部に配置された前記スパイラルインダクタンスパターンが、前記コーナー部の頂点から前記スパイラルインダクタンスパターンまでの最短距離 L_1 と、前記スパイラルインダクタンスパターンの外接円の直径 L_2 の関係が、 $L_1 \leq L_2$ となるように配置されている。

【0006】

また、本発明による回路基板の設計方法は、複数のスパイラルインダクタンスパターンを含む導体パターンを複数層有する回路基板の設計において、前記回路基板を分割線により複数の分割エリアに分割する工程と、前記複数の分割エリア毎にシミュレーションによって回路パターンを設計する工程と、を有し、前記分割線は、前記回路基板内に複数配置される前記スパイラルインダクタンスパターンの内の2つ以上を分断しないことを特徴とする。

【0007】

本発明の好ましい実施態様においては、複数のスパイラルインダクタンスパターンを含む導体パターンを複数層有する回路基板の設計において、前記回路基板の少なくとも3つ

のコーナー部に、前記複数のスパイラルインダクタンスパターンの中の3つが配置されていることを特徴とする。

【発明の効果】

【0008】

本発明によれば、複数のスパイラルインダクタンスパターンを含む導体パターンを複数層有する回路基板のシミュレーション時間を大幅に短縮することができる。そのため、回路基板のコストダウンに大きく貢献することができる。

【0009】

また、得られた結果としては、分割せずにシミュレーションを行った結果とほとんど変わらず、実用に十分に対応する設計が可能となる。

【発明を実施するための最良の形態】

【0010】

以下、本発明の1実施形態について添付図面を参照しながら説明する。

【0011】

図1は本発明の1実施形態としてアンテナスイッチ回路のブロック図を示したものである。このアンテナスイッチ回路基板のブロック構成は良く知られているようにアンテナ端子1、電源端子2、3、4、ダイプレクサ5、スイッチ回路6、7、8、フィルタ9、10で構成されているものである。この例では、GSM/DCS/PCS方式のアンテナスイッチ回路基板であるので、端子としては、GSM用送信端子11、GSM用受信端子12、DCS/PCS用送信端子13、DCS用受信端子14、PCS用受信端子15が設けられている。

【0012】

図1に示したアンテナスイッチ回路のブロック図はそれぞれ図2に示すような電気回路で構成される。

【0013】

また、図3はアンテナスイッチ回路基板に各種部品を実装した状態を示している。このように、図3において回路基板16上に各種電子部品17を実装した状態で、電気回路に表したものが図2である。図2に示す回路を良く知られた回路であるので、その主要部分のみについて以下に説明する。

【0014】

図1のダイプレクサ5において、インダクタ18、19、20は図3における回路基板16に内蔵、或いは表裏面に描かれるパターンである。また、図1におけるスイッチ回路6、7、8においてはインダクタ21、22、23が図3における回路基板16に内蔵、或いは表裏面に描かれるパターンとなる。更に、図1におけるフィルタ9、10においてはインダクタ24、25が図3における回路基板16に内蔵、或いは表裏面に描かれるパターンとなる。これらの内蔵されるインダクタンスパターン18～25は、具体的には図5に示すように回路基板16内に設けられているものである。すなわち、この図5に示すように回路基板16は、例えば、17層からなる誘電体層26～42を持ち、この数字の順序に沿って積層され、焼結することにより一体化されたものである。ただし、誘電体層42の下面には電極パターン43が設けられている。図5に示す通り、図2に示すインダクタ18～25は、図5に示した各誘電体層にそれぞれ分散して配置されている。ここで、誘電体層37に配置されているインダクタ21、23、24、25は、この矩形状の誘電体層37の4つのコーナー部に分散して配置されている。このことを、次に図4を用いて具体的に説明する。

【0015】

図4は回路基板16を表面から見た状態を示している。回路基板16には、図1に示したダイプレクサ5、スイッチ回路6、7、8、フィルタ9、10が配置されている。また、それぞれの回路は具体的には図2に示すようになっており、インダクタ18～25は、図5に示すように回路基板16に配置されている。

【0016】

さて、この図4において示した分割線44、45、46はこの回路基板16を4分割するための線である。すなわち、分割線45は矩形状回路基板16において長辺側のほぼ2分の1の部分に設けられ、分割線44、46は短辺側に設けられたものである。ただし、分割線44、46は一直線上ではなく若干ずれた状態に配置されている。このように配置することによって回路基板16は表面から見た場合に4つのエリアに分割された状態となる。この4つのエリアに分割された状態において、例えばエリア47には、図1に示すダイプレクサ5、スイッチ回路7、フィルタ10が含まれており、エリア48にはダイプレクサ5、スイッチ回路6、7、8が含まれている。また、エリア49には同様にダイプレクサ5、スイッチ回路6、7、8が含まれ、エリア50にはダイプレクサ5、スイッチ回路6、7、8、フィルタ9、10と全てのブロックが含まれている。そして、この状態で図5に示したようなパターンを電磁界シミュレーションによって設計することになる。すなわち、図4に示す回路基板16は図2に示すインダクタ18～25及びコンデンサ51～68を内蔵しているものである。ただし、コンデンサについては図5では記載されていないが、図2における上述したインダクタ18～25、コンデンサ51～68は内蔵しており、それらのパターンを電磁界シミュレーションによって設計していく。このような複数の回路パターンが存在する状態で、しかも図5に示すように複数層に積層された状態のものを電磁界シミュレーションによって設計していく場合には、電磁氣的な干渉を考慮しながら設計する必要がある。そのため、一度で全体のシミュレーションを行おうとすると非常に長い時間が必要となる。

【0017】

そこで本発明の1実施形態では、図4に示すごとく、分割線44、45、46によって回路基板16をエリア47～50に4分割し、各エリア毎に電磁界シミュレーションにより最適なパターン設計をすることとした。

【0018】

すなわち、大規模な回路基板であったとしても、それを分割し、小さなサイズで電磁界シミュレーションを行う場合には、その分割された部分に存在する導体パターンは、全体のものと比較して少なくなるため、これを電磁界シミュレーションする場合には非常に時間を短縮することができる。ただし、このように回路基板を複数に分割し、分割エリア毎に回路パターンを電磁界シミュレーションによって設計する場合には、当然のことながら、全体を電磁界シミュレーションした結果と比較すると、分割したことによる弊害が予想される。本発明者らは、回路基板の分割時の弊害を少なくする方法を検討し、スパイラルインダクタンスパターンをできるだけ分断しないようにすることが最適な分割方法であることを見出した。回路基板内に存在する導体パターンのうち、スパイラルインダクタンスパターンはインダクタンス値を大きくするために一般的に設けられる。そのため、このようなインダクタンスの大きなパターンを分割した状態でシミュレーションを行った場合、それによる特性への影響が大きくなり、実際に製品化する場合にはこの誤差が大きな問題となる。そこで本発明者らは前述のごとく、スパイラルインダクタンスパターンを2つ以上分断せずに、すなわち、複数個スパイラルインダクタンスパターンが存在する場合でも、分割線で分断されるスパイラルインダクタンスパターンを1つまでとし、分割線によって分けられたエリアごとに回路パターンに対して電磁界シミュレーションを行うこととしたものである。

【0019】

すなわち、パターン設計をする際に、最も影響が大きいのが例えば図5で示した誘電体層37に配置されたインダクタ21、23、24、25である。インダクタ21、23、24、25は、図5に示したように4つのコーナーの近傍に配置されている。このように配置することで、図4に示した分割線44～46で分割していく際に、これらのスパイラルインダクタンスパターンをできるだけ分断しないことが可能になる。すなわち、スパイラルインダクタンスパターンを2個以上分割せずに分割線44～46を引くことで、各エリア47～50の電磁界シミュレーションを行うことができる。

【0020】

ここで、図2、図5に示すインダクタ18～25は、この限られた領域で所望の値を得ようとした場合、スパイラルインダクタンスパターンとならざるを得ない。そのため、この大きなインダクタンスパターンを切断した状態で電磁界シミュレーションするということはその結果に重大な影響を及ぼすことが考えられる。従って、本発明の1実施形態においては図5にも示したようにインダクタンスパターン18～25は、できるだけコーナー近傍に配置し、それにより分割線44～46でできるだけ切断しないようにする必要がある。

【0021】

本発明の1実施形態では、このようなシミュレーションによる回路設計を行いやすくするため、回路基板を矩形状とし、予めこの回路基板の少なくとも3つのコーナー部近傍にそれぞれスパイラルインダクタンスパターンを配置している。すなわち、この矩形上の回路基板を例えば4分割しようとした場合、その1辺側とそれに接する他辺側のそれぞれの略中央で分割線を引くことで、先ほどのようにコーナー部にスパイラルインダクタンスパターンを配置しておくことで、分割線を引く場合において、最も影響の大きなスパイラルインダクタンスパターンを切断することなく、電磁界シミュレーションを分割して行うための分割線を引くことが可能となる。

【0022】

このとき、回路基板の3つのコーナー部に配置されたスパイラルインダクタンスパターンを、コーナー部の頂点からスパイラルインダクタンスパターンまでの最短距離 L_1 と、前記スパイラルインダクタンスパターンの外接円の直径 L_2 の関係が、 $L_1 \leq L_2$ となるように配置することにより、スパイラルインピーダンスパターンを分断せずに回路基板を分割することが容易になる。

【0023】

このような回路基板の構成とすることで、本発明の1実施形態では、従来、この同じような電磁界シミュレーションを行った場合には数日間の計算が必要であったが、わずか数時間で電磁界シミュレーションによる設計が可能となり、しかもその得られた結果は上記数日間かかっていた結果とほとんど変わらない値を得ることが可能になる。

【0024】

また、小さなエリアごとの電磁界シミュレーションによる設計手法を用いることにより、様々な素子、すなわちインダクタ、コンデンサなどを水平方向だけではなく、積層方向にも配置しても短時間での電磁界シミュレーションにより最適な設計が可能となる。これは、水平方向のみに配置した場合と比較して、デバイス、回路基板の小型化にも貢献することができる。

【産業上の利用可能性】

【0025】

以上のように本発明は各種電子機器に活用される回路基板及び設計方法として広く適用できる。

【図面の簡単な説明】

【0026】

【図1】 本発明の1実施形態を示すブロック図

【図2】 本発明の1実施形態を示す回路図

【図3】 本発明の1実施形態における回路基板の斜視図

【図4】 本発明の1実施形態における回路基板の平面図

【図5】 本発明の1実施形態における回路基板の分解斜視図

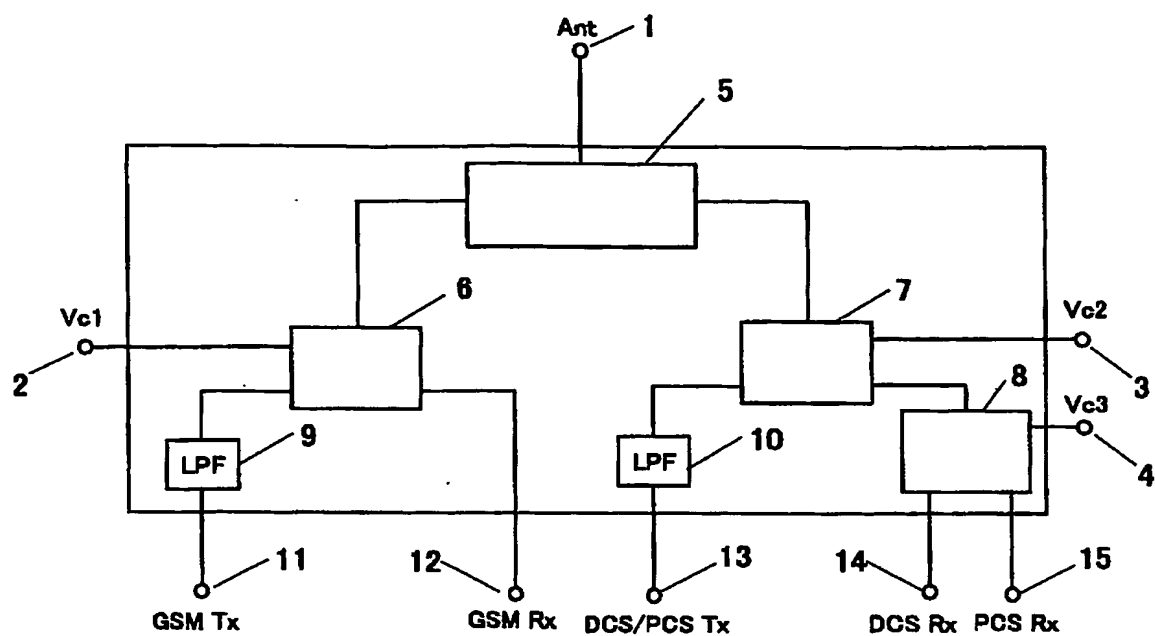
【符号の説明】

【0027】

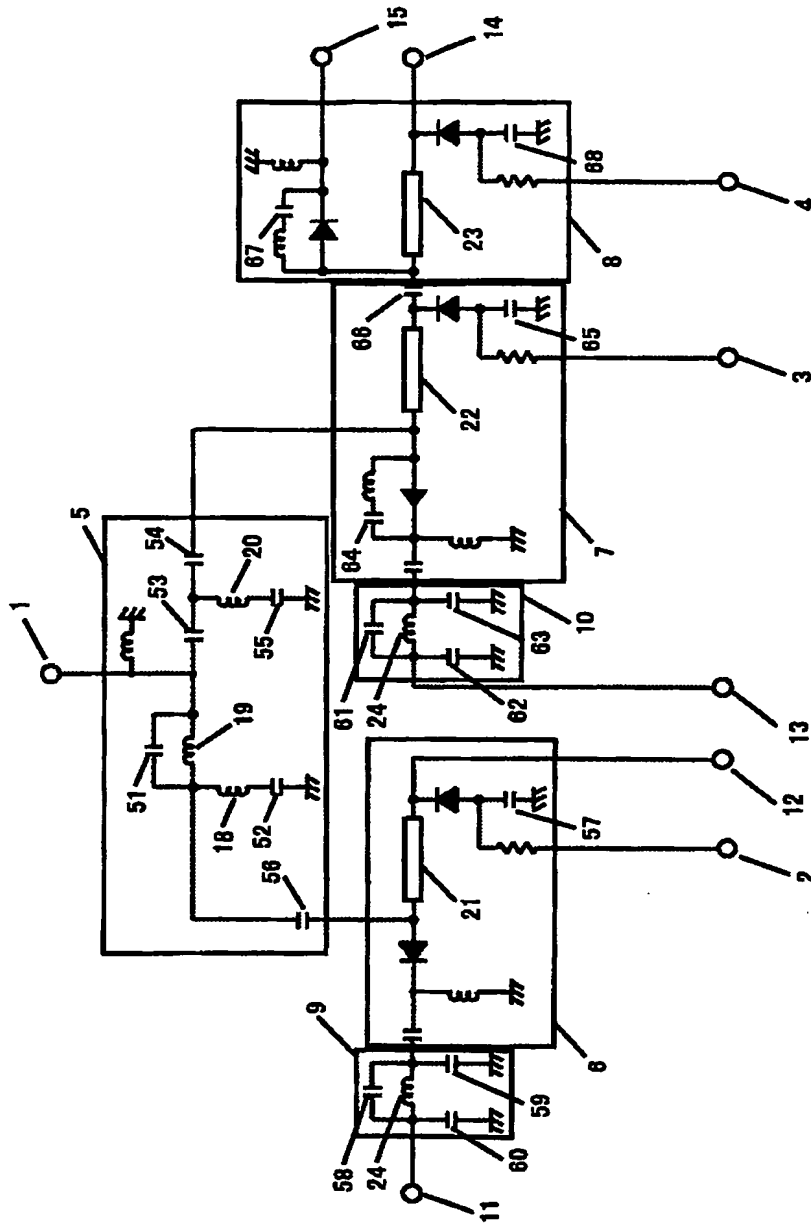
- 1 アンテナ端子
- 2, 3, 4 電源端子
- 5 ダイプレクサ
- 6, 7, 8 スイッチ回路

- 9, 1 0 フィルタ
- 1 1 G S M用送信端子
- 1 2 G S M用受信端子
- 1 3 D C S / P C S用送信端子
- 1 4 D C S用受信端子
- 1 5 P C S用受信端子
- 1 6 回路基板
- 1 7 電子部品
- 1 8 ~ 2 5 インダクタ
- 2 6 ~ 4 2 誘電体層
- 4 3 電極パターン
- 4 4, 4 5, 4 6 分割線
- 4 7 ~ 5 0 分割エリア
- 5 1 ~ 6 8 コンデンサ

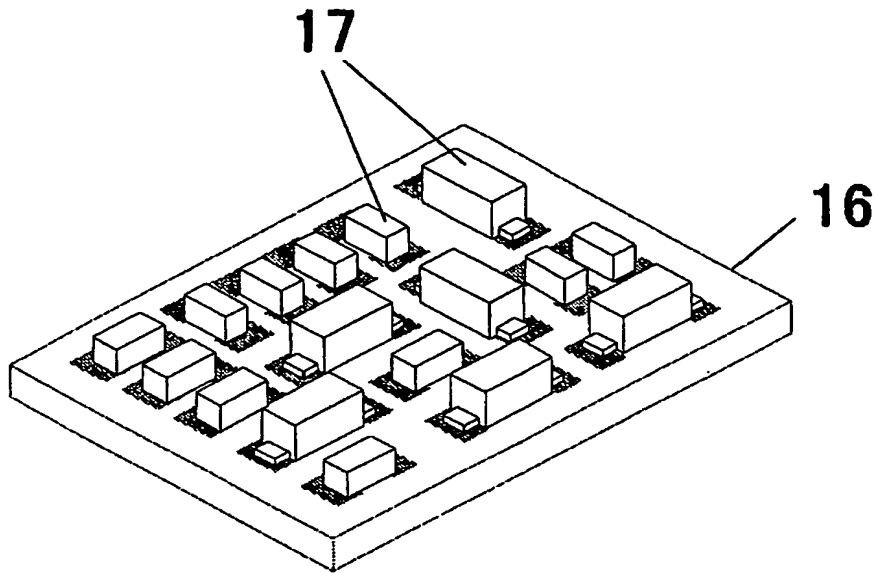
【書類名】 図面
【図 1】



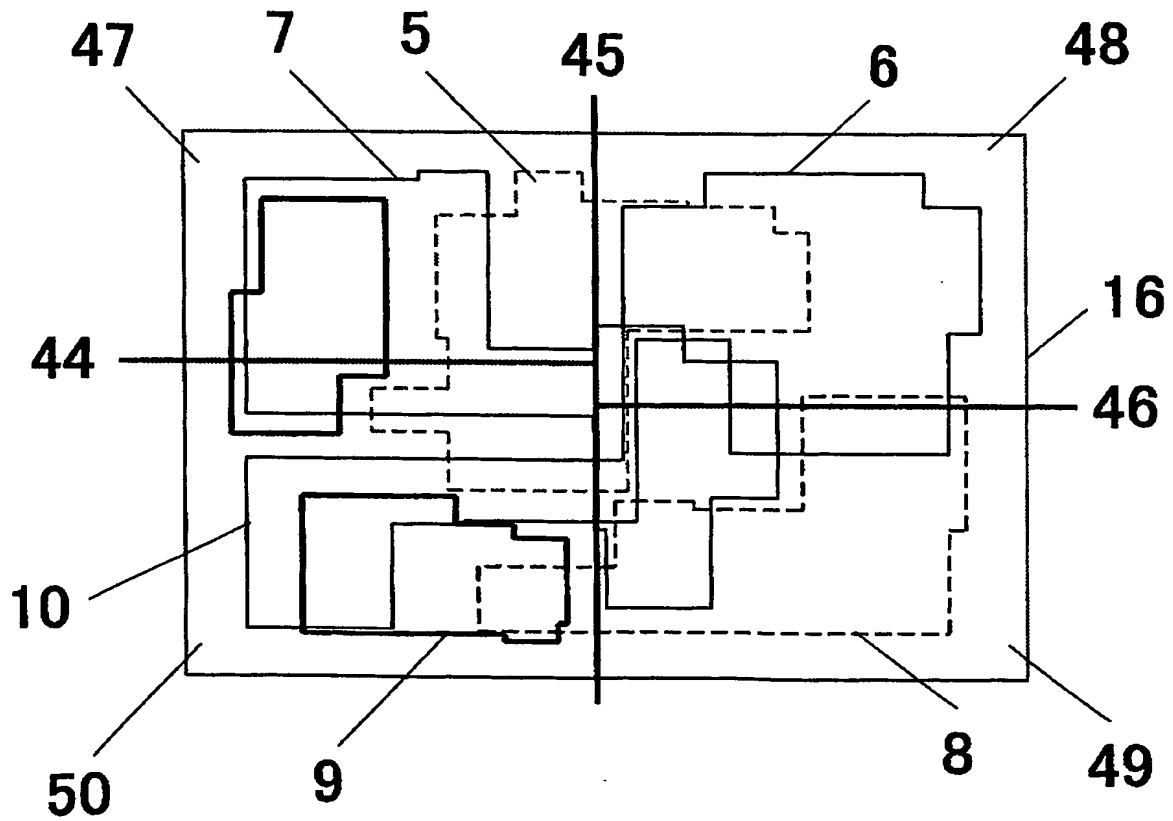
【図2】



【図 3】

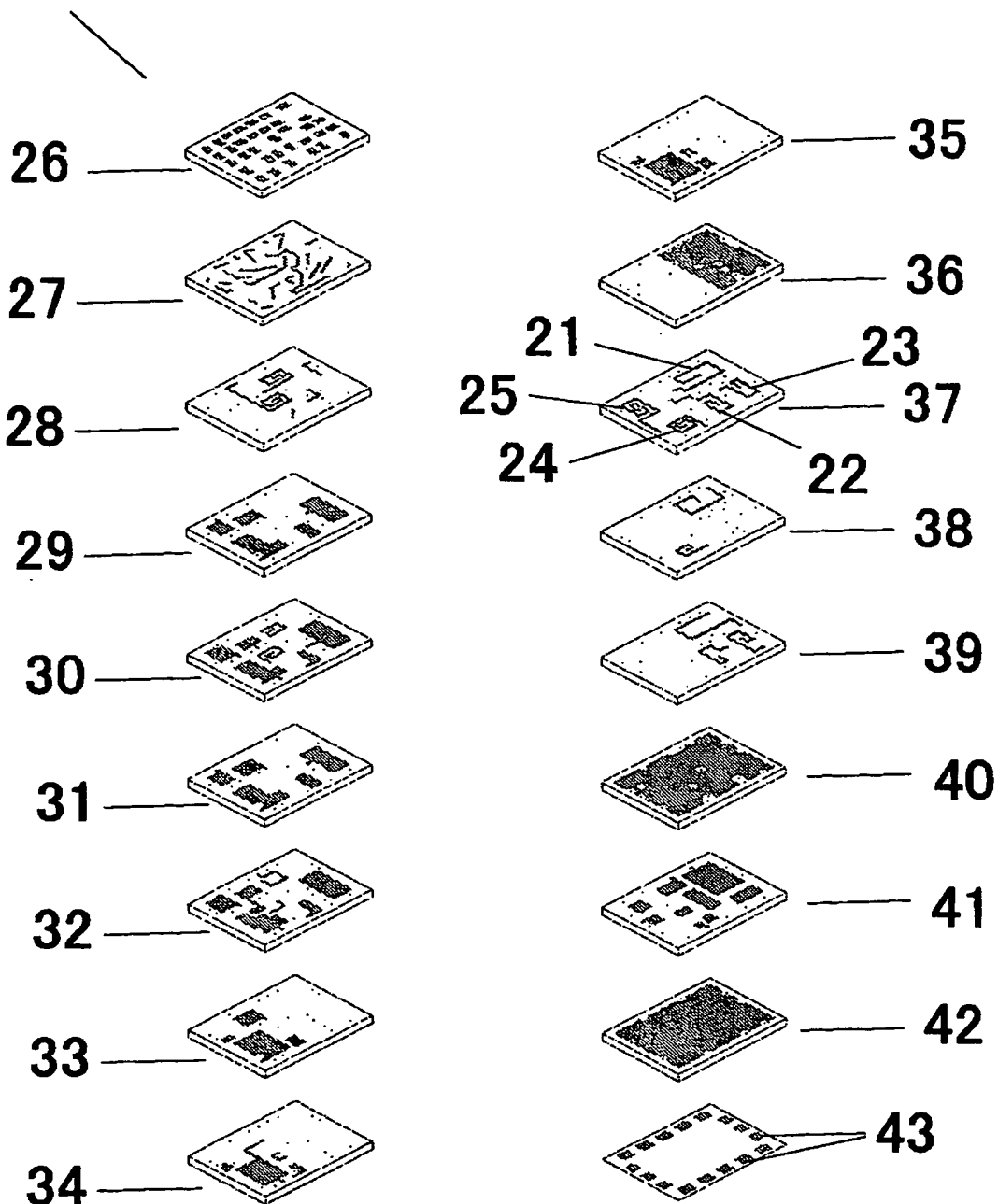


【図 4】



【図 5】

16



【書類名】 要約書

【要約】

【課題】 複数のスパイラルインダクタンスパターンを含んだ回路基板を容易に設計できる方法ならびに回路基板を提供する。

【解決手段】 回路基板のコストダウンを図るために、複数のスパイラルインダクタンスパターンを含む導体パターンを複数層有する回路基板の設計において、この回路基板を複数に分割し、各分割エリア毎に回路パターンをシミュレーションによって設計する際に、前記回路基板の分割線 44、45、46 は、前記回路基板内に複数個配置されるスパイラルインダクタンスパターンを 2 つ以上分断しないようにする回路基板の設計方法。

【選択図】 図 4

特願 2 0 0 3 - 2 8 8 7 0 3

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 5 8 2 1]

1. 変更年月日	1 9 9 0 年 8 月 2 8 日
[変更理由]	新規登録
住 所	大阪府門真市大字門真 1 0 0 6 番地
氏 名	松下電器産業株式会社

This Page is inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☒ BLACK BORDERS
- ☒ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☐ BLURED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☒ COLORED OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REPERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images
problems checked, please do not report the
problems to the IFW Image Problem Mailbox**